

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS R O C

[About TIPO](#)
[Press Release](#)
[What's New](#)
[Laws & Regulations](#)
[How to..](#)
[Statistics](#)
[Enforcement & Prosecution](#)
[International Harmonization](#)

[中文 Chinese](#)
[Site Map](#)

Web Search

How to.. I TW Patent search



Procedures

Fees

TW Patent search

Patent

Patent No	479321	Publication Date	2002/3/11
Application No	090114280	Filing Date	2001/6/13
Title	Manufacturing method of semiconductor device with a high dielectric constant gate dielectric layer		
IPC	H01L21/76		

Author / Inventor

YU, MO-CHIUN (TW) ; LIN, YEOU-MING (TW) ;

Applicant

Name	Country	Individual/Company
TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.	TW	Company

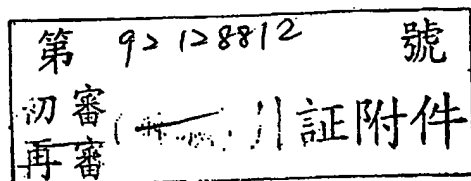
Patent Abstract

The present invention provides a manufacturing method of semiconductor device with a high dielectric constant gate dielectric layer, which is suitable for a semiconductor substrate. The method includes the steps of: forming a gate structure composed of a high dielectric constant gate dielectric layer and a gate conductive layer; forming a hard mask layer on the gate structure; forming a source/drain area at two sides of the gate structure on the semiconductor substrate; removing the hard mask layer; performing an O₃-enhanced low temperature oxidization process to the semiconductor substrate for forming a polysilicon oxide layer.

Last Update : 2004/7/16



BEST AVAILABLE COPY



中華民國專利公報 [19] [12]

[11]公告編號：479321

[44]中華民國 91年(2002) 03月11日

發明

全 4 頁

[51] Int.Cl.⁰⁷ : H01L21/76

[54]名 稱：具有高介電常數閘極介電層之半導體元件之製造方法

[21]申請案號：090114280

[22]申請日期：中華民國 90年(2001) 06月13日

[72]發 明 人：

余讓群

林友民

台北縣中和市德光路二十七巷二十四弄二十一號

台北縣中和市大智街二十三巷二弄十二之二號三樓

[71]申 請 人：

台灣積體電路製造股份有限公司

新竹科學工業園區區區三路一二一號

[74]代 理 人：洪澄文 先生

1

[57]申請專利範圍：

- 1.一種具有高介電常數閘極介電層之半導體元件之製造方法，適用於一半導體基底，該方法包括下列步驟：
於該半導體基底上形成一由高介電常數閘極介電層和閘極導電層組成之閘極結構；
於該閘極結構上形成一硬罩幕層；
於該閘極結構兩側之半導體基底位置形成一源/汲極區；
除去該硬罩幕層；以及
對於該半導體基底施行臭氧促進低溫氧化製程，以形成複晶矽氧化層。
- 2.如申請專利範圍第1項所述之方法，其中該臭氧促進低溫氧化製程中之臭氧的濃度為在30-100%範圍之間。
- 3.如申請專利範圍第1項所述之方法，其中該臭氧促進低溫氧化製程中之臭氧的濃度為在50-100%範圍之

2

- 間。
- 4.如申請專利範圍第1項所述之方法，其中該臭氧促進低溫氧化製程是於450-550℃施行。
- 5.如申請專利範圍第1項所述之方法，其中該閘極導電層是為複晶矽層。
- 6.如申請專利範圍第2項所述之方法，其中該高介電常數閘極介電層是由五氧化二鉍、氧化鈺、氧化鋇、氧化鈦、氧化鎢或氧化鋁中選用。
- 7.如申請專利範圍第1項所述之方法，其中該硬罩幕層是為氮氧化矽。
- 8.如申請專利範圍第1項所述之方法，其中除去該硬罩幕層之蝕刻劑是由氫氟酸或熱磷酸中選用。
- 9.一種具有高介電常數閘極介電層之半導體元件之製造方法，適用於一半導體基底，該方法包括下列步驟：
於該半導體基底上形成一由高介電常數閘極介電層和閘極導電層組成
- 10.
- 15.
- 20.

(2)

3

4

之閘極結構；

於該閘極結構上形成一硬罩幕層；

於該閘極結構兩側之半導體基底位置形成一源/汲極區；

除去該硬罩幕層；以及

對於該半導體基底施行臭氧促進低溫氧化製程，以形成複晶矽氧化層，其中該臭氧促進低溫氧化製程中之臭氧的濃度為在 30-100% 範圍之間。

10. 如申請專利範圍第 9 項所述之方法，其中該臭氧促進低溫氧化製程中之臭氧的濃度為在 50-100% 範圍之間。

11. 如申請專利範圍第 9 項所述之方法，其中該臭氧促進低溫氧化製程是於 450-550°C 施行。

12. 如申請專利範圍第 9 項所述之方法，其中該閘極導電層是為複晶矽

層。

13. 如申請專利範圍第 9 項所述之方法，其中該高介電常數閘極介電層是由五氧化二鉭、氧化鉛、氧化鋯、氧化鈦、氧化鎢或氧化鋁中選用。

14. 如申請專利範圍第 9 項所述之方法，其中該硬罩幕層是為氮氧化矽。

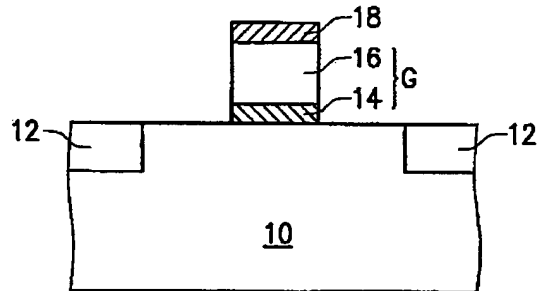
15. 如申請專利範圍第 9 項所述之方法，其中除去該硬罩幕層之蝕刻劑是由氫氟酸或熱磷酸中選用。

圖式簡單說明：

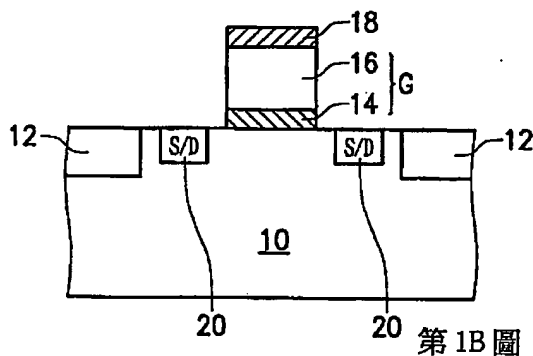
第 1A-1D 圖係顯示習知的製作方

法之製程剖面圖。

第 2A-2D 圖係顯示本發明實施例之具有高介電常數閘極介電層之半導體元件之製程剖面圖。

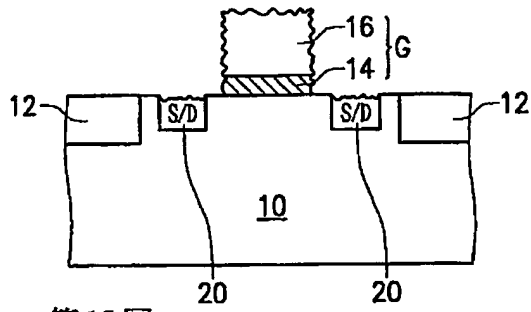


第 1A 圖

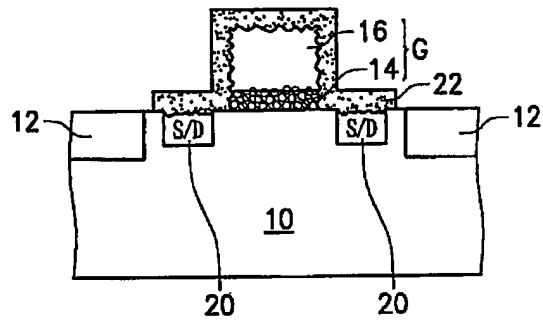


第 1B 圖

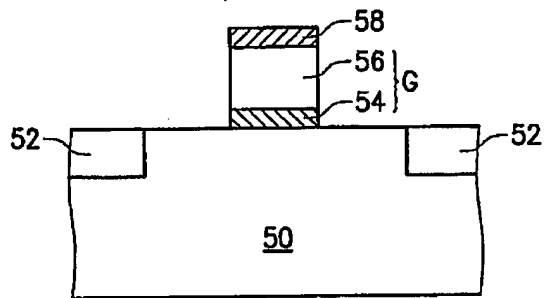
(3)



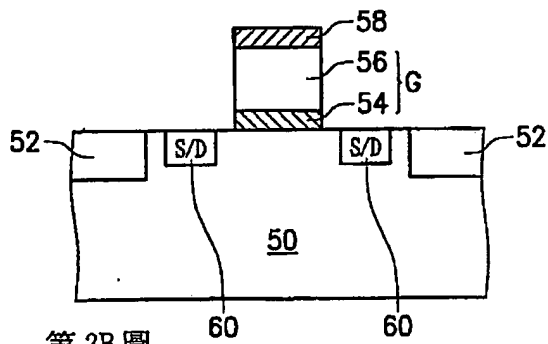
第 1C 圖



第 1D 圖

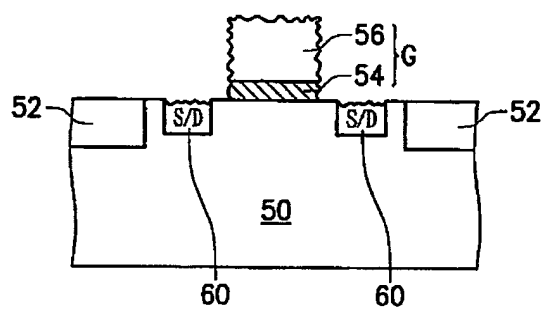


第 2A 圖

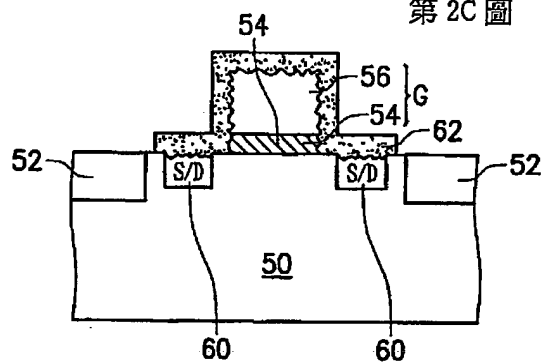


第 2B 圖

(4)



第 2C 圖



第 2D 圖

公告

申請日期: 90.6.13	案號: 90 4280
類別: H01L 26	

(以上各欄由本局填註)

發明專利說明書		479321
一、發明名稱	中文	具有高介電常數閘極介電層之半導體元件之製造方法
	英文	
二、發明人	姓名(中文)	1. 余謀群 2. 林友民
	姓名(英文)	1. Mo-Chiun Yu 2. Yeou-Ming Lin
	國籍	1. 中華民國 2. 中華民國
	住、居所	1. 台北縣中和市德光路27巷24弄21號 2. 台北縣中和市大智街23巷2弄12-2號3樓
三、申請人	姓名(名稱)(中文)	1. 台灣積體電路製造股份有限公司
	姓名(名稱)(英文)	1.
	國籍	1. 中華民國
	住、居所(事務所)	1. 新竹科學工業園區園區三路121號
	代表人姓名(中文)	1. 張忠謀
	代表人姓名(英文)	1.



四、中文發明摘要 (發明之名稱：具有高介電常數閘極介電層之半導體元件之製造方法)

本發明提供一種具有高介電常數閘極介電層之半導體元件之製造方法，適用於一半導體基底，該方法包括下列步驟：於此半導體基底上形成一由高介電常數閘極介電層和閘極導電層組成之閘極結構；於此閘極結構上形成一硬罩幕層；於此閘極結構兩側之半導體基底位置形成一源/汲極區；除去此硬罩幕層；以及對於此半導體基底施行臭氧促進低溫氧化製程，以形成複晶矽氧化層。

英文發明摘要 (發明之名稱：)



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

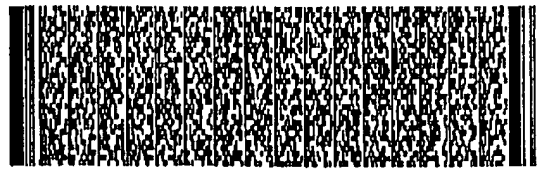
五、發明說明 (1)

本發明係有關於高介電常數之介電薄膜，且特別是有關於具有高介電常數閘極介電層之半導體元件之製造方法。

當閘極氧化層的厚度縮減至1.5nm時，直接穿隧漏電流隨著厚度減小而大幅增加因而控制 I_{off} 。高介電常數之介電薄膜具有與氧化層相同之有效氧化層厚度(effective oxide thickness, EOT)以有效減低漏電流，但高介電常數材料在沉積後之熱退火後將會結晶化。為了應用高介電常數材料於現今之互補式金氧半導體(CMOS)製程，必須改善高介電常數材料之熱穩定性或降低熱預算(thermal budget)。除了淡摻雜汲極製程($\geq 900^\circ\text{C}$)及源汲極活化製程($\geq 1000^\circ\text{C}$)之外，尚有其他高溫製程，如複晶矽閘極之氧化(20A, $\sim 1000^\circ\text{C}$)會劣化高介電常數材料之性質，使用低溫製程以形成複晶矽氧化層變得非常重要。

高介電鐵電材料族群，例如五氧化二鉭(Ta_2O_5)、BST($(\text{Ba}, \text{Sr})\text{TiO}_3$)或PZT($\text{Pb}(\text{Zr}_{1-x}\text{Ti}_x)\text{O}_3$)等，是很具有前景的。將鐵電材料應用於金氧半電晶體積體電路技術，因鐵電材料的物理及化學特性而受到限制，例如，五氧化二鉭(Ta_2O_5)薄膜常因其含氧量短缺而導致介電衰減及產生不希望得到的漏電流。再者，五氧化二鉭(Ta_2O_5)薄膜與複晶矽薄膜或作為上電極之金屬氮化物薄膜間的介面性質不佳，且是處於高的內應力狀態，因此還有許多問題尚待解決。

在習知技術中應用五氧化二鉭(Ta_2O_5)薄膜作為電容介



五、發明說明 (2)

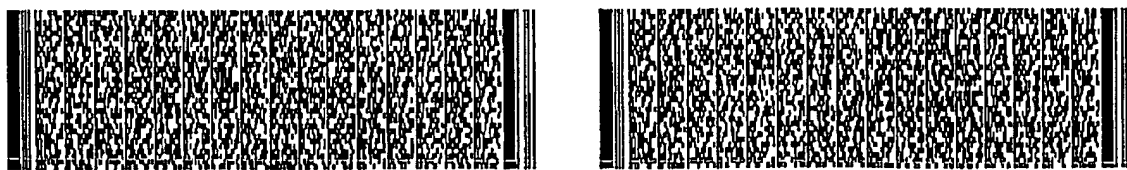
電薄膜，由於殘餘氣體及副產品造成氧量短缺變的嚴重，而導致不希望得到的漏電流增加。此外，若是在五氧化二鉍薄膜成形之後，於氧氣的氣氛中在800℃或更高的溫度施行後續的熱處理，氣體過剩的情況下會使得非晶態的五氧化二鉍薄膜再結晶而形成柱狀結構。此時，由於氧氣沿著晶界快速擴散使得一厚的氮氧化矽(SiON)薄膜生成在作為下電極的複晶矽層與五氧化二鉍薄膜之間，此情況對於具有高電容的五氧化二鉍薄膜是有不利的效應。

當在閘極圖案化製程中，使用氫氟酸或熱磷酸去除SiON+PEOX硬罩幕層時會損壞源/汲極及複晶矽閘極及高介電常數閘極介電層，在習知技術上是使用高溫熱氧化製程來修補受損之薄膜層，而高溫製程將使得上述高介電常數材料結晶化及介面層成長而造成劣化問題。

請參考第1A至1D圖，其顯示習知的製作方法之製程剖面圖。如第1A圖所示，在一半導體基底10上以一淺溝槽隔離層12隔離出一主動區，於半導體基底10上形成一由高介電常數閘極介電層14和閘極導電層16組成之閘極結構G。之後，於閘極結構G上形成一硬罩幕層18。

其次，如第1B圖所示，利用如離子植入法或擴散方式，於閘極結構G兩側之半導體基底位置形成源/汲極20。

然後，請參閱第1C圖，除去硬罩幕層18。由於在以蝕刻劑除去硬罩幕層18時，閘極介電層14和閘極導電層16及半導體基底10同時亦會受到蝕刻，所以在硬罩幕層18去除後，由圖中可以看到，閘極介電層14和閘極導電層16及半



五、發明說明 (3)

導體基底10受到損傷的情形。

最後，請參閱第1D圖，對於半導體基底10施行高溫熱氧化製程，以形成複晶矽氧化層22來修補受損之閘極介電層14和閘極導電層16及半導體基底10。而高溫製程將使得上述高介電常數閘極介電層14結晶化及介面層成長而造成劣化。

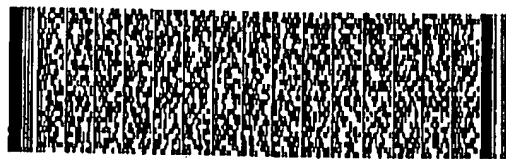
為了解決上述問題，本發明之目的即在提供一種具有高介電常數閘極介電層之半導體元件之製造方法，其利用臭氧促進(O_3 -enhanced)低溫氧化製程於450-550℃施行來取代高溫熱氧化製程，以防止高介電常數材料結晶化及介面層成長，且使得有效氧化層厚度愈小愈好及使得高介電常數材料能適用於目前之半導體製程。

因此，本發明提供一種具有高介電常數閘極介電層之半導體元件之製造方法，適用於一半導體基底，該方法包括下列步驟：於此半導體基底上形成一由高介電常數閘極介電層和閘極導電層組成之閘極結構；於此閘極結構上形成一硬罩幕層；於此閘極結構兩側之半導體基底位置形成一源/汲極區；除去此硬罩幕層；以及對於此半導體基底施行臭氧促進低溫氧化製程，以形成複晶矽氧化層。

為了讓本發明之上述和其他目的、特徵、及優點能更明顯易懂，下文特舉出較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明

第1A-1D圖係顯示習知的製作方法之製程剖面圖。



五、發明說明 (4)

第2A-2D圖係顯示本發明實施例之具有高介電常數閘極介電層之半導體元件之製程剖面圖。

符號說明

10、50~基底； 12、52~淺溝槽隔離層；
G~閘極結構； 14、54~高介電常數閘極介電層；
16、56~閘極導電層；18、58~硬罩幕層；
20、60~源/汲極； 22、62~複晶矽氧化層。

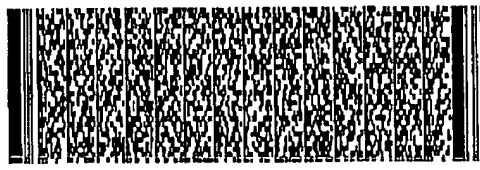
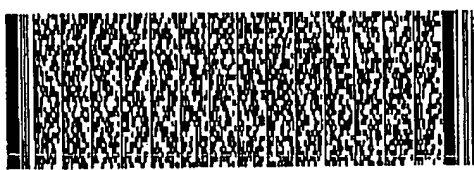
實施例

本發明提出一種具有高介電常數閘極介電層之半導體元件之製造方法。其利用臭氧促進低溫氧化製程於450-550℃施行來取代高溫熱氧化製程，以防止高介電常數材料結晶化及介面層成長。

請參照第2A圖，首先提供一半導體基底50，在半導體基底50上是以一淺溝槽隔離層52以隔離出一主動區，於半導體基底50上形成一由高介電常數閘極介電層54和閘極導電層56組成之閘極結構G。其中，高介電常數閘極介電層54可為五氧化二鉭、氧化鈣、氧化鋯、氧化鈦、氧化鋳或氧化鋁所構成，閘極導電層56可為複晶矽層或金屬層，但並不以此為限制。

繼續請參照第2A圖，於閘極結構G上形成一硬罩幕層58，如以化學氣相沈積法(CVD)形成氮氧化矽層，但並不以此為限制。

其次，如第2B圖所示，利用如離子植入法或擴散方式，於閘極結構G兩側之半導體基底位置形成源/汲極60。



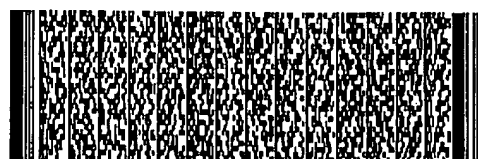
五、發明說明 (5)

然後，請參閱第2C圖，除去硬罩幕層58，用來除去硬罩幕層58之蝕刻劑可使用氫氟酸或熱磷酸，但並不以此為限制。由於在以蝕刻劑除去硬罩幕層58時，閘極介電層54和閘極導電層56及半導體基底50同時亦會受到蝕刻，所以在硬罩幕層58去除後，由圖中可以看到，閘極介電層54和閘極導電層56及半導體基底50受到損傷的情形。

最後，請參閱第2D圖，對於半導體基底50施行臭氧促進低溫氧化製程，以形成複晶矽氧化層62來修補受損之閘極介電層54和閘極導電層56及半導體基底50。其中，臭氧的濃度 $O_3/(O_3+O_2)$ 較佳為在30-100%範圍之間，更佳為在50-100%範圍之間。

使用臭氧促進低溫氧化製程於450-550℃施行來取代高溫熱氧化製程，可防止高介電常數材料結晶化及介面層成長，且使得有效氧化層厚度愈小愈好及使得高介電常數材料能適用於目前之半導體製程。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



六、申請專利範圍

1. 一種具有高介電常數閘極介電層之半導體元件之製造方法，適用於一半導體基底，該方法包括下列步驟：

於該半導體基底上形成一由高介電常數閘極介電層和閘極導電層組成之閘極結構；

於該閘極結構上形成一硬罩幕層；

於該閘極結構兩側之半導體基底位置形成一源/汲極區；

除去該硬罩幕層；以及

對於該半導體基底施行臭氧促進低溫氧化製程，以形成複晶矽氧化層。

2. 如申請專利範圍第1項所述之方法，其中該臭氧促進低溫氧化製程中之臭氧的濃度為在30-100%範圍之間。

3. 如申請專利範圍第1項所述之方法，其中該臭氧促進低溫氧化製程中之臭氧的濃度為在50-100%範圍之間。

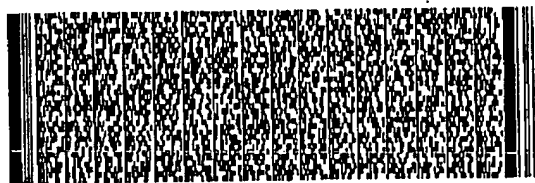
4. 如申請專利範圍第1項所述之方法，其中該臭氧促進低溫氧化製程是於450-550℃施行。

5. 如申請專利範圍第1項所述之方法，其中該閘極導電層是為複晶矽層。

6. 如申請專利範圍第2項所述之方法，其中該高介電常數閘極介電層是由五氧化二鉍、氧化鉛、氧化鋅、氧化鈦、氧化鋇或氧化鋁中選用。

7. 如申請專利範圍第1項所述之方法，其中該硬罩幕層是為氮氧化矽。

8. 如申請專利範圍第1項所述之方法，其中除去該硬



六、申請專利範圍

單幕層之蝕刻劑是由氫氟酸或熱磷酸中選用。

9. 一種具有高介電常數閘極介電層之半導體元件之製造方法，適用於一半導體基底，該方法包括下列步驟：

於該半導體基底上形成一由高介電常數閘極介電層和閘極導電層組成之閘極結構；

於該閘極結構上形成一硬單幕層；

於該閘極結構兩側之半導體基底位置形成一源/汲極區；

除去該硬單幕層；以及

對於該半導體基底施行臭氧促進低溫氧化製程，以形成複晶矽氧化層，其中該臭氧促進低溫氧化製程中之臭氧的濃度為在30-100%範圍之間。

10. 如申請專利範圍第9項所述之方法，其中該臭氧促進低溫氧化製程中之臭氧的濃度為在50-100%範圍之間。

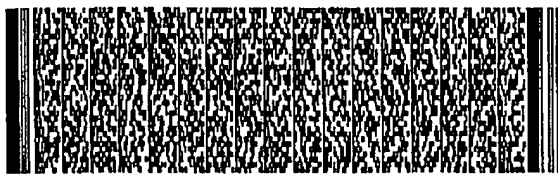
11. 如申請專利範圍第9項所述之方法，其中該臭氧促進低溫氧化製程是於450-550℃施行。

12. 如申請專利範圍第9項所述之方法，其中該閘極導電層是為複晶矽層。

13. 如申請專利範圍第9項所述之方法，其中該高介電常數閘極介電層是由五氧化二鉭、氧化鈐、氧化鋯、氧化鈦、氧化鎢或氧化鋁中選用。

14. 如申請專利範圍第9項所述之方法，其中該硬單幕層是為氮氧化矽。

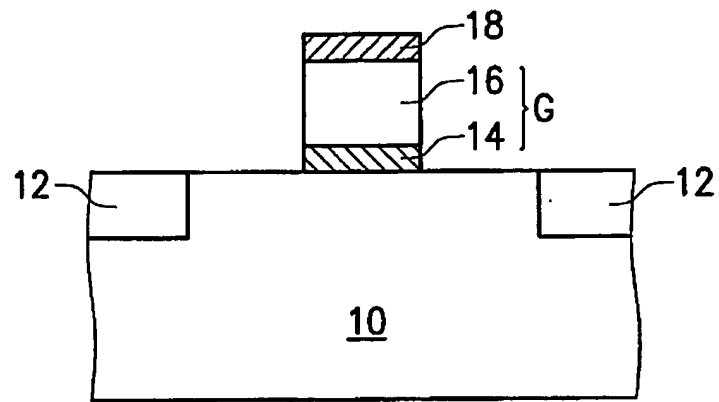
15. 如申請專利範圍第9項所述之方法，其中除去該硬



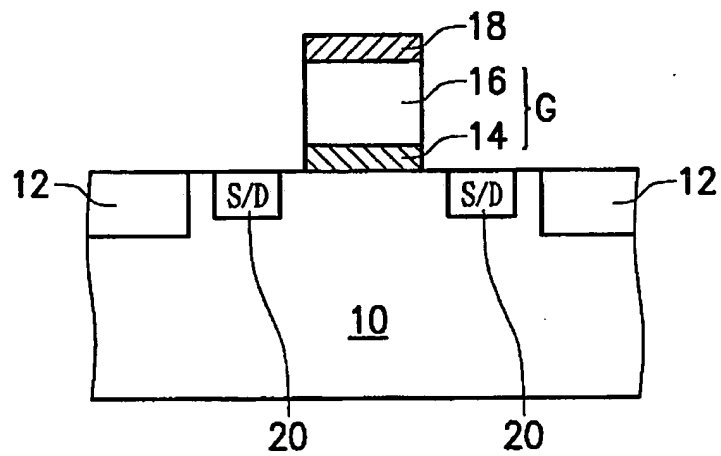
六、申請專利範圍

單幕層之蝕刻劑是由氫氟酸或熱磷酸中選用。

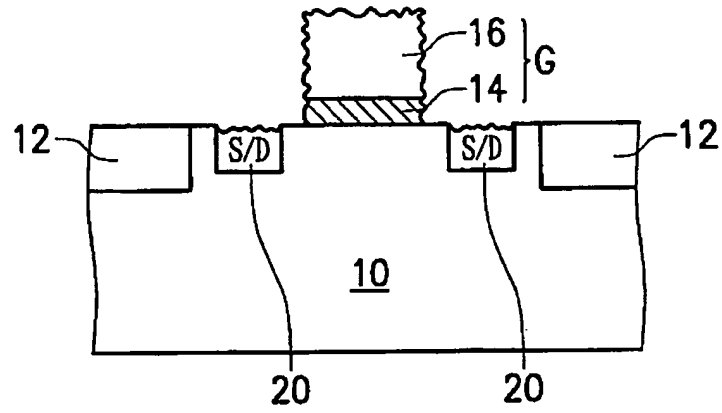




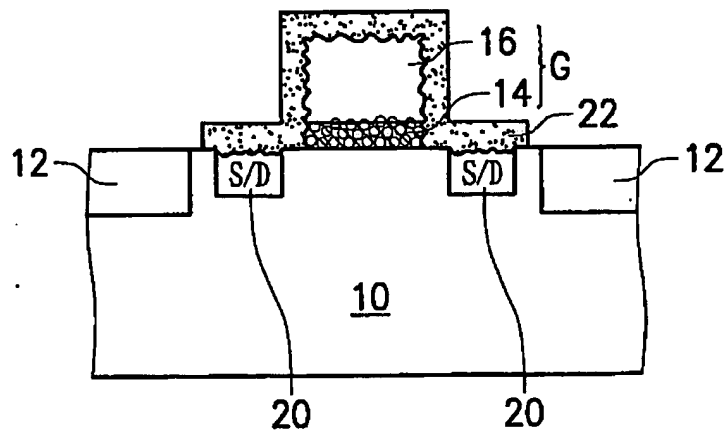
第1A圖



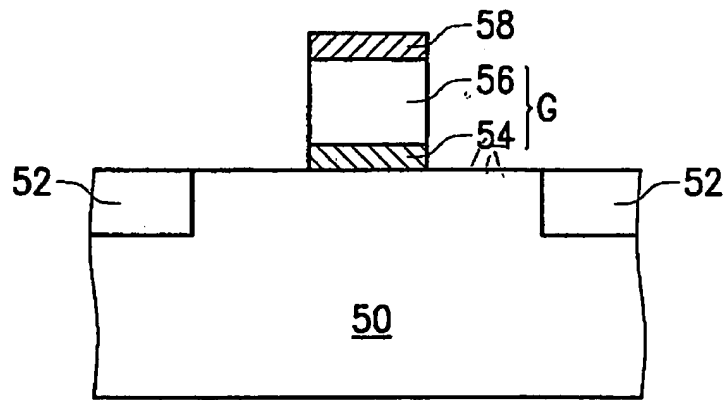
第1B圖



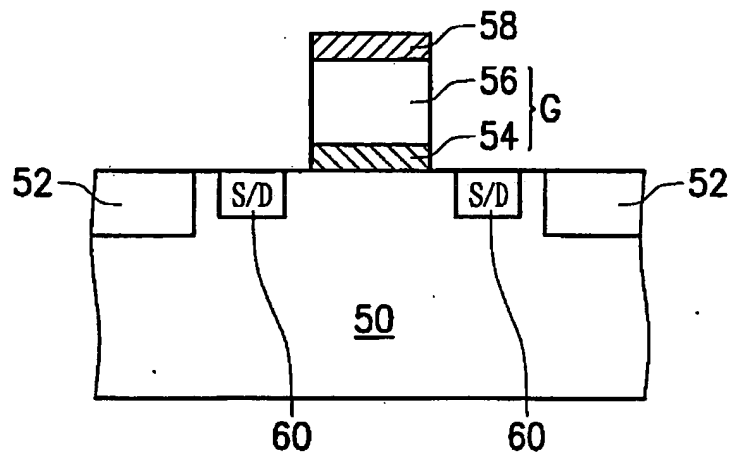
第1C圖



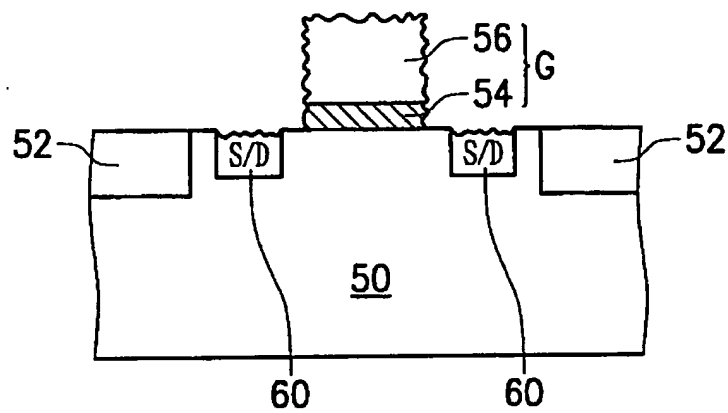
第1D圖



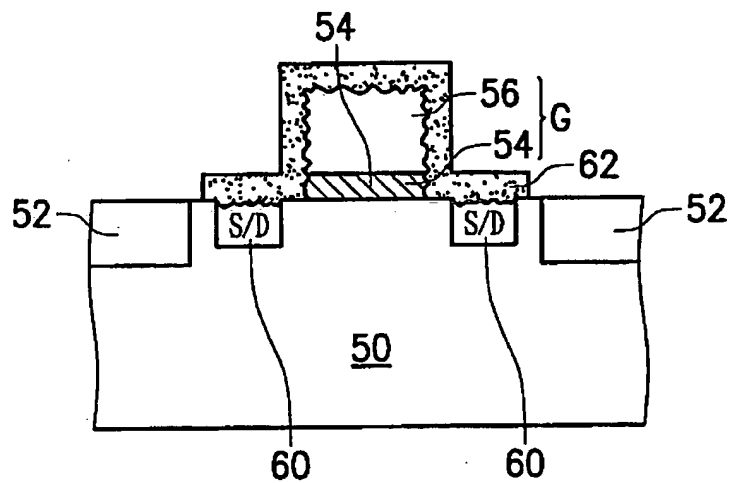
第2A圖



第2B圖



第2C圖



第2D圖

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.